

# Best Available Copy

1/5/2 (Item 1 from file: 347)  
DIALOG(R)File 347:JAPIO  
(c) 2000 JPO & JAPIO. All rts. reserv.  
04307648 \*\*Image available\*\*  
FORMING METHOD FOR POLYCRYSTALLINE SILICON THIN FILM  
PUB. NO.: 05-299348 [JP 5299348 A]  
PUBLISHED: November 12, 1993 (19931112)  
INVENTOR(s): OGURO SHIZUO  
SHISHIGUCHI SEIICHI  
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP(Japan)  
APPL. NO.: 04-293530 [JP 92293530]  
FILED: October 30, 1992 (19921030)  
INTL CLASS: [5] H01L-021/20; H01L-021/02; H01L-021/324; H01L-021/336;  
H01L-029/784  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors)  
JOURNAL: Section: E, Section No. 1508, Vol. 18, No. 91, Pg. 122,  
February 15, 1994 (19940215)

## ABSTRACT

PURPOSE: To provide the forming method for polycrystalline silicon thin film having excellent electrical characteristics in a large crystalline particle diameter while developing less defects in the crystalline particles.

CONSTITUTION: When a polycrystalline silicon thin film 4 is formed by crystallizing an amorphous silicon thin film 3 using heat treatment step, the heat treatment step is to be performed in two phases i.e., the first step at the temperature not exceeding 650 deg.C and the second step at the temperature exceeding 700 deg.C.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-299348

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		9171-4M		
21/02	B			
21/324	Z	8617-4M		
21/336		9056-4M		
			H 0 1 L 29/ 78	3 1 1 Y

審査請求 未請求 請求項の数4(全7頁) 最終頁に続く

(21)出願番号 特願平4-293530

(22)出願日 平成4年(1992)10月30日

(31)優先権主張番号 特願平4-33765

(32)優先日 平4(1992)2月20日

(33)優先権主張国 日本(JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小黑 志津夫

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72)発明者 獅子口 清一

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74)代理人 弁理士 藤巻 正憲

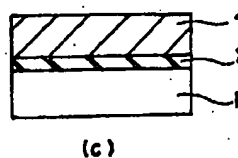
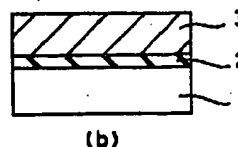
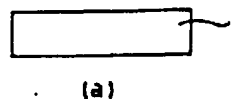
(54)【発明の名称】 多結晶シリコン薄膜の形成方法

(57)【要約】

【目的】 結晶粒径が大きく、結晶粒内欠陥が少ない電気特性の優れた多結晶シリコン薄膜の形成方法を提供することを目的とする。

【構成】 アモルファスシリコン薄膜3を熱処理により結晶化させて多結晶シリコン薄膜4を形成する場合に、熱処理を2段階処理とし、第1の熱処理の温度を650℃以下、第2の熱処理の温度を700℃以上とする。

1: シリコン基板  
2: 酸化膜  
3: アモルファスシリコン薄膜  
4: 多結晶シリコン薄膜



## 【特許請求の範囲】

【請求項1】 アモルファスシリコン薄膜を熱処理により結晶化させて多結晶シリコン薄膜を形成する方法において、前記熱処理は650℃以下の温度で熱処理する第1の熱処理工程と、700℃以上の温度で熱処理する第2の熱処理工程とに分かれていることを特徴とする多結晶シリコン薄膜の形成方法。

【請求項2】 前記アモルファスシリコン薄膜として、燐、砒素又はボロンを不純物としてドーピングしたものを使用することを特徴とする請求項1に記載の多結晶シリコン薄膜の形成方法。

【請求項3】 前記多結晶シリコン薄膜を、多結晶シリコン薄膜トランジスタのソース及びドレイン形成用活性領域とすることを特徴とする請求項1又は2に記載の多結晶シリコン薄膜の形成方法。

【請求項4】 前記多結晶シリコン薄膜を、デバイス活性層と配線層とのコンタクト埋設層とすることを特徴とする請求項1又は2に記載の多結晶シリコン薄膜の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、アモルファスシリコン薄膜を熱処理により結晶化させる多結晶シリコン薄膜の形成方法に関する。

## 【0002】

【従来の技術】多結晶シリコン薄膜は、各種の電極、配線材料又は抵抗体となり、半導体デバイスの形成材料として重要な役割を担っている。例えば、メモリーデバイスにおける電荷蓄積電極、ゲート電極又はデバイス活性層と配線層とのコンタクト埋設材料等にこの多結晶シリコン薄膜が適用されている。また、近年においては、多結晶シリコン薄膜自体をデバイス活性層として使用する多結晶シリコン薄膜トランジスタ(TFT)が開発され、SRAM(スタティックRAM)の負荷素子又は液晶表示装置(LCD)用の液晶駆動素子として実用化されている。

【0003】従来、この多結晶シリコン薄膜の形成方法としては、シラン系ガス( $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ )を反応ガスとする化学気相成長法により、約650℃の成膜温度で多結晶シリコン薄膜を直接堆積する方法がある。また、約500℃の成膜温度で、アモルファスシリコン薄膜を堆積させ、その後、試料温度を約600乃至900℃に保持する熱処理により結晶化させて多結晶シリコン薄膜を得る方法等もある。特に、後者の方法で形成した多結晶シリコン薄膜は、前者の方法で形成したものより平均結晶粒径が大きいため、低抵抗化が可能であり、また、トランジスタ特性に強く影響する結晶粒界が前者の方法で形成したものより少ないという利点を持っている。このため、この後者のアモルファスシリコン薄膜を熱処理により結晶化させる方法が現在注目を集めてお

り、TFT用薄膜への適用及び将来の各種電極形成法として、精力的に開発が実施されている(例えば、Abstracts of the 20th Conference on Solid State Devices and Materials, 1989, pp.57-60)。

【0004】この熱処理により結晶化させる従来の多結晶シリコン薄膜の形成方法においては、先ず、シリコン単結晶基板上に熱酸化膜を約1000Åの厚さまで成長させて形成した後、通常のLPCVD炉を使用して、アモルファスシリコン薄膜を約3000Åの厚さで成膜する。この成膜条件は、例えば圧力が0.15 Torr、温度が510℃、反応ガス流量が100%  $\text{Si}_2\text{H}_6$  で150 sccm, Heベース4% PH<sub>3</sub> で200 sccmである。次に、電気炉を使用して、例えば窒素雰囲気中で、炉内温度を900℃に保持し20分間の熱処理を施してアモルファスシリコン薄膜を結晶化させて、多結晶シリコン薄膜を形成する。

【0005】この場合に、多結晶シリコン薄膜は多数の結晶粒から構成されているため、その電気特性は結晶粒の特性(サイズ、結晶性)に大きく影響される。例えば、結晶粒界に存在するトラップは電気伝導を担うキャリアを捕獲するため、粒界近傍にはエネルギー障壁が形成され、多結晶シリコン薄膜の電気伝導に大きく影響する。従って、良好な電気特性(例えば、低い抵抗率又は高いキャリア移動度)を得るためには、結晶粒のサイズをできるだけ大きくすることにより電気伝導領域に存在する結晶粒界を減少させること及び各結晶粒内の結晶欠陥を減少させることの2点が重要となる。

## 【0006】

【発明が解決しようとする課題】しかしながら、従来方法においては、以下に示すように結晶粒に関する上述の2点の重要な特性を同時に満足することができないという問題点がある。上述したように、従来方法はアモルファスシリコン薄膜を熱処理により結晶化して多結晶シリコン薄膜を形成する方法である。この従来方法により形成される多結晶シリコン薄膜の結晶粒特性は、主として結晶化熱処理の条件により決定される。例えば、比較的低温(約600℃)の熱処理によれば、結晶粒径の大きな多結晶シリコン薄膜を得ることができるが、結晶粒内に多数の結晶欠陥が残留する。一方、約900℃の高温熱処理によれば、結晶粒内の結晶欠陥が少ない多結晶シリコン薄膜を得ることができるが、結晶粒径が小さくなってしまふ。これは、低温熱処理ほど、アモルファスシリコン薄膜の結晶化に際して、結晶核の発生速度が遅くなること及び高温熱処理ほど結晶粒内の結晶欠陥緩和が促進されることによるものである。従って、従来方法においては結晶粒径が大きく、しかも結晶粒内の欠陥が少ない多結晶シリコン薄膜を得ることは困難であるという問題点がある。

【0007】本発明はかかる問題点に鑑みてなされたものであって、結晶粒径が大きく、しかも、結晶粒内欠陥

が少なく、電気特性が優れた多結晶シリコン薄膜の形成方法を提供することを目的とする。

#### 【0008】

【課題を解決するための手段】本発明に係る多結晶シリコン薄膜の形成方法は、アモルファスシリコン薄膜を熱処理により結晶化させて多結晶シリコン薄膜を形成する方法において、前記熱処理は650℃以下の温度で熱処理する第1の熱処理工程と、700℃以上の温度で熱処理する第2の熱処理工程とに分かれていることを特徴とする。

#### 【0009】

【作用】本発明においては、650℃以下の第1の熱処理工程と700℃以上の第2の熱処理工程とによりアモルファスシリコン薄膜を結晶化させる。まず、比較的低温の第1の熱処理工程においては、結晶核の発生速度が遅く、結晶粒径が大きい多結晶シリコン薄膜が形成される。そして、その後の比較的高温の第2の熱処理により、結晶粒内の結晶欠陥を減少させることができる。従って、結晶粒径が大きく、しかも、結晶粒内の結晶欠陥が少ない良質の多結晶シリコン薄膜を形成することができる。

#### 【0010】

【実施例】次に、本発明の実施例について、添付の図面を参照して説明する。

【0011】図1(a)乃至(c)は本発明の実施例方法を工程順に示す断面図である。まず、図1(a)に示すように、例えば面方位が(100)及び抵抗率が10Ω・cmのP型シリコン基板1を使用し、このシリコン基板1の上に、図1(b)に示すように、熱酸化膜2を約1000Åの厚さで形成する。更に、抵抗加熱炉を使用した通常のパッチ式LPCVD装置により、磷(P)ドーパのN型アモルファスシリコン薄膜3を約3000Åの厚さで成膜する。

【0012】この成膜条件は、例えば、反応管内温度が約510℃、圧力が0.15 Torrであり、また、反応ガスとして100%Si<sub>2</sub>H<sub>6</sub>及び4%HeベースPH<sub>3</sub>ガスを夫々150sccm及び200sccmの流量で使用する。この条件の場合には、アモルファスシリコン薄膜3中の磷濃度が、 $5 \times 10^{20} / \text{cm}^3$ 以下となる。

【0013】次に、図1(c)に示すように、まず、650℃以下の温度でアモルファスシリコン薄膜3を形成したものを熱処理し、多結晶シリコン薄膜4を形成する。この多結晶シリコン薄膜4は粒径は大きい結晶粒内部に欠陥が存在する。そこで、更に、700℃以上の温度で多結晶シリコン薄膜4を熱処理してこの欠陥を消失させる。この場合に、この第2の熱処理は結晶粒径が小さくならない程度の時間にする。これにより、結晶粒径が大きく結晶粒内部の欠陥が少ない多結晶シリコン薄膜4が形成される。

【0014】本実施例においては、650℃以下の第1の熱処理工程と700℃以上の第2の熱処理工程とによりアモルファスシリコン薄膜を結晶化させる。まず、比較的低温の第1の熱処理工程においては、結晶核の発生速度が遅く、結晶粒径が大きい多結晶シリコン薄膜が形成される。そして、その後の比較的高温の第2の熱処理により、結晶粒内の結晶欠陥を減少させることができる。従って、結晶粒径が大きく、しかも、結晶粒内の結晶欠陥が少ない良質の多結晶シリコン薄膜4を形成することができる。

【0015】次に、本実施例方法により形成された多結晶シリコン薄膜の特性を比較例方法により形成したものと比較して説明する。まず、図1(b)に示す工程の条件で形成したアモルファスシリコン薄膜3の領域を5分割し、4領域については比較例として従来条件により熱処理を施し、残りの1領域については本実施例の2段階の熱処理を施して多結晶シリコン薄膜4を形成した。熱処理の温度及び時間は、比較例の水準1が600℃で180分、水準2が700℃で20分、水準3が800℃で20分、水準4が900℃で20分であり、本実施例の水準5が600℃で180分熱処理した後、更に900℃で20分実施した。この600℃での熱処理については、他水準と比較して結晶化に長時間要するため、処理時間を180分としている。

【0016】以下に、多結晶シリコン薄膜の結晶粒径、結晶粒内の結晶性及び抵抗率について評価した結果について説明する。まず、図2は熱処理条件と多結晶シリコン薄膜の結晶粒径との関係を示すグラフ図である。この図2に示すように、透過型電子顕微鏡により評価される結晶粒径は、低温熱処理の水準1と低温熱処理の後に高温熱処理を施している本実施例の2段階熱処理の水準5とにおいて最大の結晶粒径が得られている。

【0017】一方、図3は熱処理条件に対する多結晶シリコン薄膜の結晶性を示すグラフ図である。この図3に示すように、 $\theta$ -2 $\theta$ スキニング法によりX線回折線のピーク幅(積分幅で評価)から結晶粒内の結晶性を評価すると、熱処理温度が900℃の水準4と本実施例の水準5とにおいてX線回折線のピーク幅(積分幅)が最小となっている。回折線のピーク幅は結晶性が良好となるほど小さくなることから、水準4及び水準5において最も結晶性が向上していることが確認される。

【0018】更に、図4は熱処理条件に対する多結晶シリコン薄膜の抵抗率を示すグラフ図である。この図4に示すように、4探針法により多結晶シリコン薄膜のシート抵抗を測定し、得られたシート抵抗に対し膜厚補正を施して膜の抵抗率を計算すると、本実施例の熱処理水準(水準5)において最小の抵抗率が得られている。

【0019】次に、図5乃至図11に基づいて、本発明の第2の実施例に係る多結晶シリコン薄膜の形成方法について説明する。本実施例は本発明をTF Tの製造に適

用したものである。先ず、図5に示すような面方位が(100)及び抵抗率が $10\Omega\cdot\text{cm}$ のP型シリコン単結晶シリコン基板11上に図6に示すように熱酸化膜12を形成し、次に、第1の実施例と同様にしてアモルファスシリコン薄膜13を成膜する。但し、本実施例ではPのドーピングは実施しない。

【0020】次に、図7に示すように、 $650^\circ\text{C}$ 以下の温度でアモルファスシリコン薄膜13を熱処理し、多結晶シリコン薄膜14を形成する。この多結晶シリコン薄膜14は結晶粒径は大きい結晶粒内部に欠陥を含むため、更に、 $700^\circ\text{C}$ 以上の温度で多結晶シリコン薄膜14を熱処理し、結晶粒内の結晶欠陥を減少させる。これにより、結晶粒径が大きく結晶粒内部の欠陥が少ない多結晶シリコン薄膜14が形成される。

【0021】次に、図8に示すように、この多結晶シリコン薄膜14をホトリソグラフィ工程及びイオンエッチング工程によりパターンニングする。

【0022】次に、図9に示すように、パターンニング後の多結晶シリコン薄膜14上にゲート酸化膜15を形成する。

【0023】次に、このゲート酸化膜15上に、通常のLPCVD法により多結晶シリコン薄膜を成膜した後、ホトリソグラフィ工程及びイオンエッチング工程により多結晶シリコン薄膜をパターンニングし、図10に示すように多結晶シリコンゲート電極16を形成する。

【0024】最後に、図11に示すように、多結晶シリコンゲート電極16をマスクとして砒素を注入することにより多結晶シリコン薄膜14にソース領域17及びドレイン領域18を形成して多結晶シリコン薄膜トランジスタ(TFT)が完成する。

【0025】本実施例においても、 $650^\circ\text{C}$ 以下の第1の熱処理工程と $700^\circ\text{C}$ 以上の第2の熱処理工程とによりアモルファスシリコン薄膜13を結晶化させて多結晶シリコン薄膜14を形成するので、得られた多結晶シリコン薄膜14は、結晶粒径が大きく、しかも、結晶粒内の結晶欠陥が少ない良質のものとなる。このため、この多結晶シリコン薄膜14により構成されるTFTは移動度及びオン電流が上昇し、応答性が良く、駆動能力が高い。

【0026】次に、本実施例方法により形成された多結晶シリコン薄膜の特性を比較例方法により形成したものと比較して説明する。先ず、図6に示す工程の条件で形成したアモルファスシリコン薄膜13の領域を2分割し、一方の試料については従来条件の $600^\circ\text{C}$ で180分の熱処理を施し、他方の試料については本実施例条件の $600^\circ\text{C}$ で180分の熱処理をした後、更に $900^\circ\text{C}$ で20分の熱処理を実施してアモルファスシリコン薄膜13を結晶化し、図7に示すように多結晶シリコン薄膜14を形成する。それ以降の工程は、いずれも同一のプロセスで上述の如く実施してTFTが完成する。即ち、

以上のTFT形成プロセスにおいて、比較例と本実施例とは、アモルファスシリコン薄膜13の結晶化工程のみが異なり、他のプロセスは全て同一である。

【0027】本実施例において、第1の実施例と同様に多結晶シリコン薄膜14の結晶粒を評価したところ、第1の実施例と同様に本実施例の方が結晶粒内の結晶欠陥が著しく減少している。また、TFTのトランジスタ特性を評価したところ、特に、本実施例は結晶粒特性の影響を強く受けると考えられるオン電流及び移動度に関して改善が見られる。従来条件により得られたTFTは移動度が $30\text{cm}^2/\text{V}\cdot\text{S}$ 、オン電流が $100\text{nA}$ であるが、本実施例によるTFTは、移動度が $35\text{cm}^2/\text{V}\cdot\text{S}$ 、オン電流が $150\text{nA}$ になり改善されており、本実施例の方が、従来条件による比較例より速い応答能力及び高い駆動能力を得ている。

【0028】なお、第1の実施例においては、溝ドープ膜についてのみ説明したが、ドーパント不純物が砒素又はボロンであっても、同様の効果(抵抗率の低減)が得られる。

【0029】次に、本発明の第3の実施例について説明する。本実施例は本発明を各種の半導体装置におけるデバイス活性層と配線層とのコンタクト埋設材料に適用したものであり、具体的にはコンタクト抵抗評価用基板の作製方法を示すものである。

【0030】図12乃至図15は本実施例方法を工程順に示す断面図である。先ず、図12に示すように、面方位(100)、抵抗率 $10\Omega\cdot\text{cm}$ のP型シリコン単結晶基板21の表面の所定の領域にAsをイオン注入して、 $n^+$ 型の拡散層22を選択的に形成する。

【0031】次いで、図13に示すように、基板21の表面上に厚さが $1\mu\text{m}$ の熱酸化膜23を形成し、ホトリソグラフィ及びイオンエッチングにより例えば直径が $0.4\text{mm}$ 、深さが $1\mu\text{m}$ のコンタクトホール31を形成する。

【0032】その後、第1の実施例と同様に、Pのドーピングを行いながら、アモルファスシリコン薄膜をコンタクトホール31に埋め込むように全面に成膜する。そして、 $600^\circ\text{C}$ に180分間加熱した後、 $900^\circ\text{C}$ に20分間加熱する熱処理を行う。これにより、前記アモルファスシリコン薄膜が結晶化して、図14に示すように、多結晶シリコン薄膜24が形成される。その後、イオンエッチング工程により酸化膜上の余分な多結晶シリコン薄膜を除去し、コンタクトホール31内にのみ多結晶シリコン薄膜24を残存させる。

【0033】次いで、図15に示すように、スパッタリング法により、厚さが例えば $300\text{\AA}$ のチタン(Ti)薄膜25、厚さが例えば $1000\text{\AA}$ の窒化チタン(TiN)薄膜26、厚さが例えば $5500\text{\AA}$ のAl-Si-Cu合金膜27及び厚さが例えば $300\text{\AA}$ のTi薄膜28を順次積層形成する。そして、これらの層を所定のパ

ターンでエッチングして分離溝32を形成し、複数の上部電極に分離した。これにより、多結晶シリコン薄膜24からなるコンタクトプラグ部分が例えば2000個直列に並べられる。

【0034】このようにして、第1水準及び第2水準の熱処理で製作したコンタクト抵抗評価用基板において、相違する点はアモルファスシリコンの結晶化熱処理工程のみである。そして、熱処理条件の影響を調べるために、従来方法で900℃に20分間加熱した基板(水準1)と、本実施例方法により、600℃に180分間加熱した後、900℃に20分間加熱する熱処理を行った基板(水準2)について、コンタクト抵抗を測定した結果、コンタクト1つ当たりの抵抗は、従来法により製作されたもの(水準1)の抵抗値(800~1500Ω)に比して、本実施例(水準2)の抵抗値は235Ωと著しく低減され、良好なコンタクトを形成することができた。

#### 【0035】

【発明の効果】本発明によれば、結晶粒が大きく、しかも、結晶粒内の結晶欠陥が少ない良質の多結晶シリコン薄膜を形成できる。これにより、従来法と比較して電気特性(低抵抗率、高キャリア移動度)が優れた多結晶シリコン薄膜を形成することができる。

#### 【図面の簡単な説明】

【図1】(a)は、本発明の第1の実施例に係る多結晶シリコン薄膜の形成方法における一工程を示す断面図、(b)は、同じく本実施例方法における他の一工程を示す断面図、(c)は、同じく本実施例方法における他の一工程を示す断面図である。

【図2】熱処理条件に対する多結晶シリコン薄膜の結晶粒径を示すグラフ図である。

【図3】熱処理条件に対する多結晶シリコン薄膜の結晶性を示すグラフ図である。

【図4】熱処理条件に対する多結晶シリコン薄膜の抵抗率を示すグラフ図である。

【図5】本発明の第2の実施例に係る多結晶シリコン薄膜の形成方法によりTFTを製造する方法を説明する一

工程の断面図である。

【図6】同じく本実施例方法における他の一工程を示す断面図である。

【図7】同じく本実施例方法における他の一工程を示す断面図である。

【図8】同じく本実施例方法における他の一工程を示す断面図である。

【図9】同じく本実施例方法における他の一工程を示す断面図である。

【図10】同じく本実施例方法における他の一工程を示す断面図である。

【図11】同じく本実施例方法における他の一工程を示す断面図である。

【図12】本発明の第3の実施例に係る多結晶シリコン薄膜の形成方法によりデバイス活性層と配線層とのコンタクトを形成する方法を説明する一工程の断面図である。

【図13】同じく本実施例方法における他の一工程を示す断面図である。

【図14】同じく本実施例方法における他の一工程を示す断面図である。

【図15】同じく本実施例方法における他の一工程を示す断面図である。

#### 【符号の説明】

- 1, 11, 21; シリコン基板
- 2, 12, 23; 酸化膜
- 3, 13; アモルファスシリコン薄膜
- 4, 14, 24; 多結晶シリコン薄膜
- 15; ゲート酸化膜
- 16; 多結晶シリコンゲート電極
- 17; ソース領域
- 18; ドレイン領域
- 22; 拡散層
- 25, 28; チタン薄膜
- 26; 窒化チタン薄膜
- 27; Al-Si-Cu合金膜
- 31; コンタクトホール

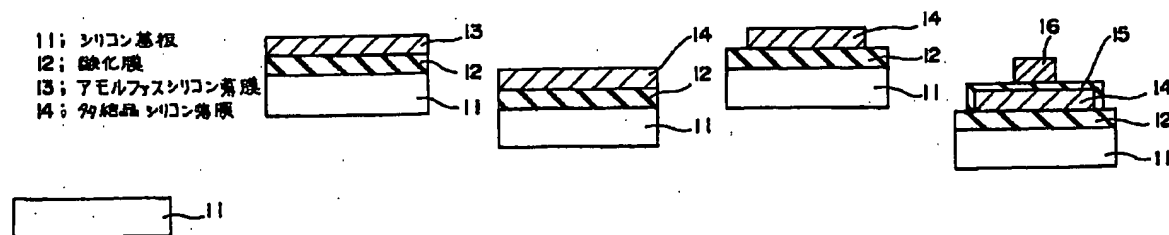
【図5】

【図6】

【図7】

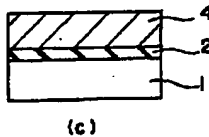
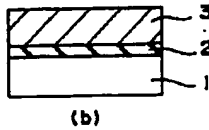
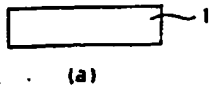
【図8】

【図10】

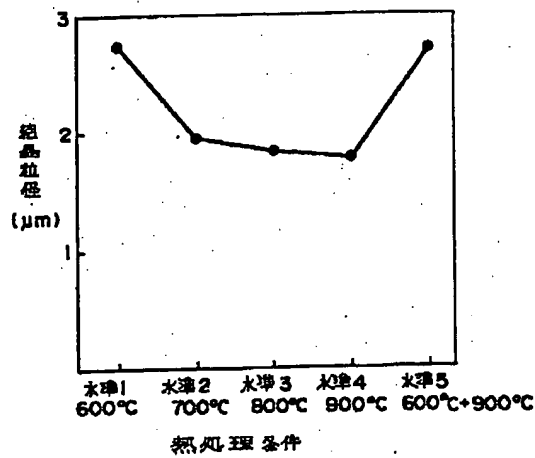


【図1】

- 1; シリコン基板  
2; 酸化膜  
3; アモルファスシリコン薄膜  
4; 多結晶シリコン薄膜

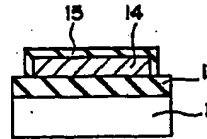


【図2】

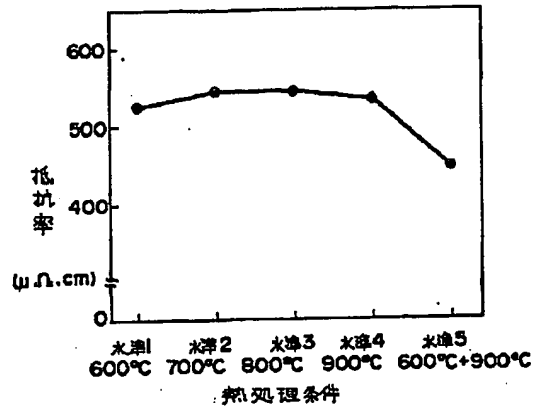


【図9】

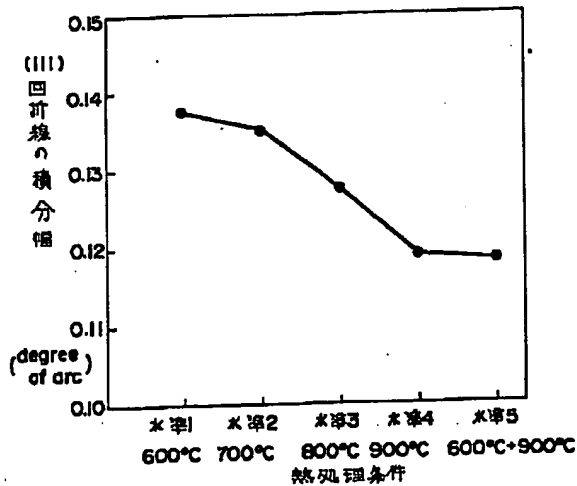
- 15; ゲート酸化膜  
16; 多結晶シリコンゲート電極  
17; γ-スズ領域  
18; ドレイン領域



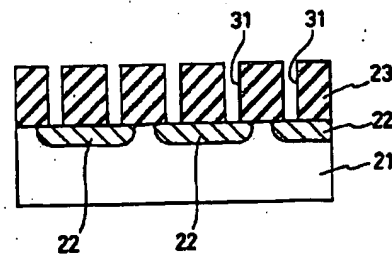
【図4】



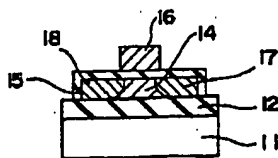
【図3】



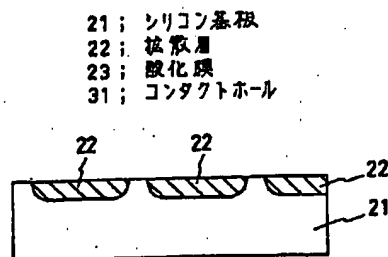
【図13】



【図11】

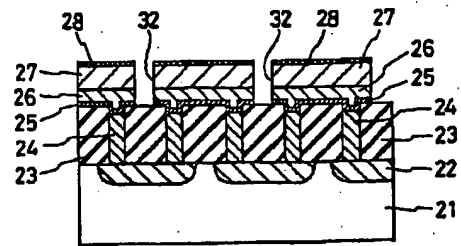


【図12】



- 21; シリコン基板  
22; 拡散層  
23; 酸化膜  
31; コンタクトホール

【图 15】



(51) Int. Cl.<sup>5</sup>  
H O 1 L 29/784

FI

### 技術表示箇所



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**